

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

第2565665号

(45)発行日 平成8年(1996)12月18日

(24)登録日 平成8年(1996)10月3日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L	21/3205		H01L 21/88	Q
	21/8234		27/08	102D
	27/088			

発明の数1(全7頁)

(21)出願番号 特願平6-199383  
(62)分割の表示 特願昭61-214228の分割  
(22)出願日 昭和61年(1986)9月12日  
  
(65)公開番号 特開平7-153717  
(43)公開日 平成7年(1995)6月16日  
(31)優先権主張番号 791241  
(32)優先日 1985年10月25日  
(33)優先権主張国 米国(US)

前置審査

(73)特許権者 390009531  
インターナショナル・ビジネス・マシー  
ンズ・コーポレーション  
INTERNATIONAL BUSI  
NESS MACHINES COR  
PORATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)  
(72)発明者 カンウー・チヨイ  
アメリカ合衆国ニューヨーク州ボーキブ  
シー、ジェラルド・ドライブ40-50、ハ  
ドソン・ハイツ10番地  
(74)代理人 弁理士 合田 潔 (外2名)

審査官 國島 明弘

最終頁に続く

(54)【発明の名称】 シリサイド層の形成方法

1

(57)【特許請求の範囲】

【請求項1】絶縁物領域及び絶縁物に被覆されていない領域を有するシリコン基板上に、シリコン、並びに、コバルト、バナシウム、及びニッケルからなる群から選択される耐火性金属Mを同時に蒸着し、 $MSi_x$  ( $0.25 \leq x \leq 0.75$ ) であらわされる組成を有する第1のシリサイド層を形成し、  
アニーリングを行って前記第1のシリサイド層を前記絶縁物に被覆されていない領域のみで前記シリコン基板と反応させて第2のシリサイド層を形成し、  
前記基板に、体積比で水1に対し、塩酸又は硫酸を1以上及び過酸化水素を1以上含むエッチング剤を作用させて前記第1のシリサイド層の未反応部分を選択的に除去することを特徴とする自己整合的なシリサイド層の形成方法。

2

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はある種の金属シリサイドの層の基板上への設置に関し、自己整合金属シリサイド層をドーピングされたシリコンおよびドーピングされた多結晶シリコンのような半導体基板上に設けるのに特に有利である。

【0002】

【従来技術】 本発明は特にクラウダ(Crowder)等の米国特許第4180596号の工程の改良を目指すものである。

【0003】 多結晶シリコンは集積回路における相互接続材料としてここ数年大いに用いられてきた。それは高温で安定しており、その上に二酸化シリコンを化学的に蒸着したり、または熱成長させることができる。

## 3

【0004】多結晶シリコンの望ましくない特徴はその電気抵抗が比較的高いことである。回路の速度を増大するには多結晶シリコンの相互接続のシート抵抗を減らすことが望ましい。

【0005】モリブデンやタンタムなどのような種々の耐火性金属を多結晶シリコンの代わりに用いることができるが示唆されてきた。しかし、これらの金属は二酸化シリコンの化学的蒸着の間に酸化し、結果として生じる酸化物は二酸化シリコンより不安定であり、信頼性の問題を生じる。

【0006】クラウド等の工程を含む上記問題を克服するため幾つかの試みがなされた。クラウド等の幾つかの従来技術の引例を論じているが、それらには例えば、IBM Technical Disclosure Bulletin, Vol. 17, No. 6, 1974年11月, P. 1831-33, 米国特許第3381182号、フランス特許第2250198号、およびJournal of the Electrochemical Society, Solid-State Science and Technology, 1975年, P. 3262-69のV. クマール(Kumar)による“W-Si:オーム性コンタクトの形成および熱的安定性 (Fabrication and Thermal Stability of W-Si Ohmic Contacts)”がある。

【0007】関係あるその他の参考文献には、Proceedings of the 9th Conference on Solid-State Devices, Tokyo (1977), P. 37-40のモチズキ(Mochizuki)等による論文、1979 International Electron Devices Meeting, P. 454-57のムラカミ(Murakami)による“低抵抗ゲートおよび相互接続のための耐火性シリサイド(Refractory Silicides for Low Resistivity Gates and Interconnects)”, Journal of the Electrochemical Society-Solid State Science and Technology, 1980年2月, P. 450-54の“MOS集積回路アプリケーションのためのスパッタリングされたタンタム・シリサイドの特性(Properties of Sputtered Tantalum Silicide for MOS Integrated Circuit Applications)”, TuによるIBM Technical Disclosure Bulletin, Vol. 24, No. 12, 1982年5月, P. 6282, 米国特許第4411734号、および米国特許第4443930号がある。

【0008】上記従来技術に論じられているように、シリサイド電極は典型的にはシリコンの層を蒸着し、耐火性金属の層を蒸着し、さらにシリサイド(例えば、タンタム・シリサイド)が形成されるようにこれら2つの層を熱処理することにより形成される。クラウドはシリサイドを形成するため別々の蒸着炉から耐火性金属とシリコンを一緒に蒸着することによりこの基本工程を改良する。これにより、設計者がシリサイドの組成を正確に制御することが可能となる。

【0009】IBM Technical Disclosure Bulletin, Vol. 26, No. 8, 1984年1月, P. 4338の“CVD用シリサイド配線のためのシリサイド工程(Silicide Pr

## 4

cess for Silicide Wiring for CVD)”という題のS. ロバーツ(Roberts)による論文では、耐火性金属の層をセリ・シヤス・シリコン酸化物等が分離領域を有する基板上に蒸着する。この構造が熱処理されるとき、耐火性金属は下地の酸化物と反応することになりシリコンと相互に作用する。続いて、酸化物の上面にある未反応の耐火性金属を、形成されたシリサイドを除去することによりウェット・エッチングで除去することになる。マスクを使用することなく電極が、セリ・シヤス酸化物領域の間に形成されるので、この工程は自己整合シリサイド(すなわち“シリサイド”)をもちたす。

## 【0010】

【発明が解決しようとする問題点】上記“シリサイド”工程の問題点は、耐火性金属が下地のシリコンと反応するとき、過大な量のシリコンが消費されることである。ウェットの大きさを減くすると、FETのゲート電極の下側のシリコンの厚さが最小化されるいわゆる“浅いジヤ・クレーション”を形成する能力が一層重要になる。

【0011】1984 International Electron Device Meeting, P. 118-119のチェン(Chen)等による“サブミクロンVLSIのための新しいデバイス相互接続構造(A New Device Interconnect Scheme for Sub-Micron VLSI)”という題の刊行物に、金属の層を蒸着し、続いて浅いジヤ・クレーションがシリサイド工程で形成できるようにシリコンの層を蒸着することができることが示唆されている。しかし、この工程は自己整合的ではない。すなわち、シリサイドを形成するための熱処理に先立ってフォトリソグラフィによりシリコン層を直定するためのマスクング工程が必要である。

## 【0012】

【問題点を解決するための手段】本発明は下側に置かれたシリコンを過剰に消費しない方法により自己整合シリサイド(“シリサイド”)を形成する工程を提供する。

【0013】具体的には、耐火性金属とシリコンを基板上に一緒に蒸着することにより金属含有率の高いシリサイドを形成する。その結果、所期のシリサイドを形成するための熱処理に当っては、少量のシリコンのみが消費される。

【0014】本発明が解決する主な問題は、従来技術のエッチング工程を用いるとき、反応したシリサイドを同時に除去することなく未反応の金属含有率の高いシリサイドを除去することが非常に難しかったという点である。

【0015】本発明によれば、金属含有率の高いシリサイドとあるウェット・エッチング剤との組み合わせを用いて、反応したシリサイドを除去することなく、未反応の金属含有率の高いシリサイドを除去できることが分った。

【0016】本発明の1つの主要目的は反応したシリサイドを除去することなく金属含有率の高いシリサイドを

## 5

除去できる、処理された半導体基板を覆うパターン化されたシリサイド層を形成する工程を提供することにある、この工程は自己整合的、すなわち、フォトリソグラフィによる除去工程を必要としない。

【0017】本発明の他の主な目的は半導体デバイスにおいて非常に浅い、例えば、0.1乃至0.3ミクロン程度、またはそれどころか0.05乃至0.15ミクロンという小さい値のドーパントドレイン・ジャンクション深さを提供することにある。

【0018】本発明のさらには別の目的は上述の浅いドーパントドレイン・ジャンクション深さと共に、例えば約5オーム・sq未満程度の低いシート抵抗の電気的相互接続を提供することにある。

【0019】

【実施例】本発明の工程は同時蒸着工程に用いられる高温に耐えることができる所望のシリサイドに付着する任意の基板の上にシリサイドの膜を形成するのに適用できる。

【0020】この工程は集積回路の製造において特に有利であり、基板がシリコンまたは多結晶シリコンであるとき特に有用であり、さらにドーパされた多結晶シリコン・ゲート電極を覆う被覆層として、またドーパされたシリコン拡散領域を直接覆う被覆層として用いられる層を形成する場合に最も有用である。

【0021】初めに本発明の概括的な処理条件について論じ、次に本発明の金属含有率の高いシリサイドと、反応したシリサイドを除去することなく金属含有率の高いシリサイドを除去することを可能にする本発明のエッチング剤との相互関係を詳細に論じる。

【0022】本発明の概括的処理条件に関し、用いられる金属シリサイドおよびエッチング剤の性質以外は従来技術の条件が適用されることを特に述べておく。完全を期して以下にそれらについて簡単に論じる。

【0023】金属およびシリコン層は典型的には高真空中で蒸発され、基板上に共に蒸着される。用いられる真空は約 $10^{-5}$ 乃至 $10^{-6}$ トル程度である。好ましい加熱方法は好ましくはシリコンおよび金属に対して別々の電子ビーム銃を用いて電子ビーム蒸着による。真空蒸着のための装置および条件は既知であるので記載しない。

【0024】金属の蒸着速度は毎秒0.5乃至2オングストローム程度、シリコンのそれは毎秒1乃至3オングストローム程度がそれぞれ好ましく、速度は蒸着された金属・シリコン混合物の所望の組成により決定される。

【0025】上述した真空蒸着に加えて、金属およびシリコンは通常のスパッタリング処理または通常の化学的蒸着処理により蒸着することができ、それらの条件は当該技術において周知である。

【0026】被覆される基板は通常室温と約400℃の間の温度に維持され、被覆中は好ましくは約150℃と250℃の間の温度に維持される。

## 6

【0027】本発明に従ってシリコンと共に同時蒸着される金属にはチタン、コバルト、ニッケル、バナジウム、タンゲステム、モリブデン、ジルコニウム等がある。

【0028】蒸着されると、金属・シリコン系は式 $MS_x$ で表わされる。この式で、Mは金属を表わし、Siはシリコンを表わし、“x”はシリコンの原子比率を表わす。

【0029】本発明の目的は合金を蒸着することにあるので、蒸着が真空蒸着であるとき、スパッタリングまたは化学的蒸着であるとき、xは0より大きくなければならない。通常xは最小でも約0.25なければならないことを発見したが、xが約0.25より小さいときは、合金は金属に近づき、本発明の目的は満足されない。

【0030】xに対する最大値は含有される金属に依りて変わる。例えば、チタン、コバルト、バナジウム、タンゲステムおよびモリブデンに対しては、xは最大1.0であり、一方、コバルト、バナジウムおよびニッケルに対しては、xは最大約0.75である。

【0031】上記の値は蒸着時の値であり、熱処理後は、全ての金属シリサイドは式 $MS_{1/2}$ で表わすことができる反応したシリサイドの形態になる。本発明に従って蒸着された典型的な合金には $Ti_{1/2}Si_{1/2}$ 、 $TiSi_{1/2-0.6}$ 、 $CoSi_{1/2}$ 、 $V_3Si_{1/2}$ 、 $CoSi_{1/2-0.75}$ および $W_{1/2}Si_{1/2-0.6}$ がある。現時点では、 $TiSi_{1/2-0.6}$ および $CoSi_{1/2-0.75}$ が最も有望に思われ、また $TiSi_{1/2-0.6}$ が最も好ましい。

【0032】所望量の金属およびシリコンを基板上に蒸着した後、基板を取外して高温で熱処理（アニール）する。特に、被覆された基板を不活性雰囲気または真空中で加熱する。雰囲気にとって唯一重要なことは酸素の存在を排除することである。一般にチタン、ジルコニウム、コバルトおよびニッケル等の金属に対しては、約550℃乃至約750℃の温度を用い、一方バナジウムおよびタンゲステムに対しては、通常の圧において約750℃乃至約900℃の温度を用いる。高輝度のアーク・ランプを用いる急速熱処理を予定しているときは、上限をほぼ1000℃だけ引上げることができるので、これらの金属のグループに対して処理の上限は最も好ましくはそれぞれ約850℃または1,000℃になる。最大温度は一般にシリサイドにおける過度の結晶粒成長を避けるように選ぶ。

【0033】熱処理の目的、すなわち所期のシリサイドに対する完全な反応が達成される限り、熱処理の時間は重大ではない。これまでの本発明者等の経験に基づけば、約半時間乃至1時間の通常の圧による熱処理はこの結果をもたらす、さらに約10乃至200秒の急速熱処理も所期の結果をもたらすように思われる。時間は温度に逆比例する。

【0034】不活性雰囲気は自由に選ぶことができ、例

えばアルゴン、ヘリウムおよび酸素である。不活性雰囲気は加熱中に金属の炭化物、酸化物または窒化物の形成を生じる物質を含んではならない。真空を用いるときは、圧力は $1.0 \times 10^{-5}$ トルの圧力で通常十分である。不活性雰囲気を用いる場合、その目的は系への酸素の遊離（典型的には周囲からの）を防ぐことであり、したがって、不活性ガスを用いるときは、流れの圧力および（または）速度は逆流を防ぐのに十分なものであればよい。真空を用いるときは、真空度は系における酸素の存在を防ぐのに全く十分である。したがって、動作の圧力はそれほど重要ではない。

【0035】不活性雰囲気をチャンと共に用いる場合は、酸化物領域へのシリサイドの水平拡散を防ぐため典型的には約0.5乃至5容積%程度の量の窒素を加える。

【0036】上記手順に続いて、本発明のエッチングを実施して、反応したシリサイドを除去することなく金属含有率の高いシリサイドを除去する。上記除去工程の後、所望なら、被覆された基板に種々の通常の工程を施すことができる。

【0037】蒸着および熱処理に続いて、本発明の主な目的は金属シリサイドの残留が望ましい所期の領域を覆うシリサイドを保持しつつ、金属シリサイドの残留が望ましくない領域からこれを除去することである。

【0038】本発明に従えば、塩基性または酸性の性質を有するウェット・過酸化剤エッチング浴がこのことを達成させることが分かった。塩基性の過酸化剤エッチング剤浴はチタン、ジルコニウム、タンタルおよびモリブデンのシリサイドに有効であり、酸性の過酸化剤浴はコバルト、カドミウムおよびニッケルのシリサイドに有効である。

【0039】本発明のウェット・エッチング剤は常に水および過酸化剤の源を含む水性系から成っている。塩基または酸の源は変わることがある。

【0040】塩基性のウェット・エッチング剤に対しては、PHは通常約1.1乃至約1.2である。現時点では、好ましい塩基は水酸化アンモニウムである。その理由は水酸化ナトリウムまたは水酸化カリウムは存在する酸化物を腐食する傾向があるからである。

【0041】酸性のウェット・エッチング剤に対しては、PHは通常約1乃至2、すなわち系は強酸性である。塩酸および硫酸は共に有用であるが、硝酸および弗化水素酸を用いるときは、これらは存在する酸化物を腐食する傾向があるので注意しなければならない。

【0042】本発明の酸性または塩基性の過酸化剤エッチング剤は前述したように高濃度である。例えば、過酸化水素、酸または塩基、水の1:1:1の容積比の溶液により得られた結果が得られるが、容積比1:1:2の同じ成分の溶液では部分的エッチングが得られるのみである。したがって、加えられる水に対してはそれぞれ少

くとも同じ容積の、好ましくはそれより多い過酸化水素および酸または塩基を用いることが最も好ましい。

【0043】本発明で用いる酸または塩基は通常飽和水溶液として用いる。過酸化水素は一般に市販入手し得るものとして、すなわち3.0%水溶液（容積）として用いる。

【0044】酸または塩基、または過酸化水素の最大量はそれほど重要には見えないが、加える水の量が増加して、酸または塩基の容積1および過酸化水素の容積1に対し加える水の容積約1よりもはるかに大きな量にまで系を希釈すると、エッチング結果の合格可能性が低下する。

【0045】本発明に従った塩基性のウェット・エッチング剤および酸性のウェット・エッチング剤は共に下地の単結晶または多結晶シリコンと反応した金属シリサイド、および二酸化シリコン領域を覆う未反応の金属シリサイドの間に大きなエッチング比をもたらす。

【0046】エッチングの圧力はそれほど重要ではなく、通常は周囲圧力を用いるだけであるが、大気圧より大きい、または大気圧より小さい状態でも、現時点では処理状態に基本的変化は全くない。利用状態が最も便利である。

【0047】エッチングの温度は約5.5乃至8.5℃に維持しなければならない。

【0048】エッチング反応は自己触媒的、すなわちエッチングの速度は処理時間が増大するに従って増大するので、エッチングの時間は重要ではない。一般に、本発明に従ったエッチングには約5乃至約10分で十分である。エッチングの速度は重要な意味を持たないし、また本発明を制限するものとも考えられていない。

【0049】エッチングの速度は明らかにシリサイド膜の厚さと相関させられねばならず、膜が厚くなるほど長い時間を要する。シリサイド膜の厚さは設計要件により設定される。例えば、シリサイドの厚さは残留シリサイドの抵抗率と消費されるシリコンの量、すなわち得られる最終的ジャンクションの深さにより決定される。

【0050】典型的な塩基性エッチング溶液は等しい容積の割合の $\text{NH}_4\text{OH}-\text{H}_2\text{O}_2$ （3.0容積%）- $\text{H}_2\text{O}$ から成り、典型的な酸性エッチング溶液は等しい容積の割合の $\text{HCl}-\text{H}_2\text{O}_2$ （3.0%容積%）- $\text{H}_2\text{O}$ から成る。これらの溶液は共に従来のシリサイド工程で典型的に用いられた1:1:5溶液よりもはるかに高濃度である。これら従来のウェット・エッチング溶液は好ましい結果をもたらさないことが分かった。

【0051】第1図に典型的なP型シリコン基板10を示す。そこには任意の通常の手段により $n^+$ ソースおよびトレイン領域20および30がそれぞれ形成されている。通常的手段で形成される $\text{SiO}_2$ 分離領域40および50が見られる。 $\text{SiO}_2$ 領域60はシリコン基板上に成長され、成長は化学的蒸着又は熱成長により通常の

手段でなされ、 $\text{SiO}_2$ 領域のジャンクションは通常のフォトリソグラフィにより行なわれる。第1図にはポリシリコン・ゲート70も示される。

【0052】上記通常の手順の後、層80により示すように本発明の金属シリサイドを蒸着する。第1図に示すように、金属シリサイドは $\text{SiO}_2$ 領域40および50とポリシリコン・ゲート70を完全に覆っている事に注意すべきである。

【0053】金属シリサイドの蒸着に続いて、本発明に従った熱処理を行ない、本発明に従った熱処理に続いて、塩基性または酸性の過酸化水素溶液を用いてウェット・エッチングを行なう。

【0054】熱処理およびエッチングに続いて、第2図の構造が結果として生じる。第2図から分るように、 $\text{SiO}_2$ 領域40および50を覆う蒸着された金属シリサイドは除去されたが（それらの下側のシリコン酸化物との反応はないので）、シリコンが反応に用いられた領域（この例において、特に領域90および100（ソースおよびドレイン領域20および30を覆う）に金属シリサイドが残留し、さらにポリシリコン・ゲート70を覆って残留金属シリサイド110として残留する。

【0055】本発明によれば、金属シリサイドが下地のシリコン酸化物と反応しない領域では、金属シリサイドはほぼ完全に除去される。

【0056】第3および第4図を参照すると、消費されたジャンクション・シリコンの量が同じ場合、純粋な金属の蒸着で得られるシート抵抗と比較して相当低いシート抵抗が本発明による蒸着された合金で得られることが容易に分る。第3図は純粋なチタンの蒸着と $\text{TiSi}_2$ の蒸着を比較し、第4図は純粋なタンゲステンの蒸着を $\text{WSi}_2$ の蒸着と比較する。

【0057】本発明によれば、シリサイド・ジャンクションに対して達成し得るシート抵抗の半減を純粋な金属と比較して、例えば純粋なチタンと比較して $\text{TiSi}_2$ で得ることができる。

【0058】反逆に、例えば、純粋な $\text{Ti}$ の蒸着と比較して本発明による $\text{TiSi}_{1.6}$ 合金膜では、同程度のシート抵抗に対して、ジャンクション・シリコンの消費量が半減した事が認められ、それによりジャンクションの短絡に対して非常に高い安全性をもたらす。これは発展しつつあるVLSI技術にとり重要な要素である一層浅くドーパされたシリコン・ジャンクションを可能にする。

【0059】より少ないジャンクション・シリコンが消費されるという事実の結果は本発明に従って形成されるデバイスが非オミックな動作を示さないということである。

【0060】次の特定の実施例は本発明により得られる利益を一層詳細に説明する。

#### 事例1 チタン金属蒸着

#### 従来のシリサイド工程

50nmのチタン（ $\text{Ti}$ ）金属は113、5nmのジャンクション・シリコン（ $\text{Si}$ ）と反応して118、5nmのシリサイド・タンタル（ $\text{TiSi}_2$ ）を形成する。これは $\text{TiSi}_2$ に対して1、26オーム/sg（15マイクロオーム/インチ）という $\text{TiSi}_2$ に関する抵抗率に基いた）のシート抵抗をもたらすはずである。これらの条件下では、残留のジャンクションは113、5nmとなる。これは従来の自己整合シリサイド工程を用いて得られる最適な結果である。

【0061】この量の $\text{Ti}$ は、最適化された自己整合シリサイド・ジャンクションの次の特性に基いて、0、25ミクロンの深さにわたるドーパされた $\text{Si}$ に用いることができる。

(1)ジャンクションはシリサイド（自己整合シリサイド）層と $\text{Ti}$ により消費されない残留ジャンクション $\text{Si}$ との間にはオミックコンタクトをもたらさなければならない。

(2)ジャンクションは正常な順バイアス特性を示さなければならない。

【0062】シリサイド工程中に元のジャンクション $\text{Si}$ の半分まで消費することができ、さらに依然として上記のバイアス特性をもたらすことが実験的に判明した。

#### 事例2 $\text{TiSi}_x$ ( $x \sim 1$ ) 合金蒸着

上記合金（すなわち、50nmのチタン、56、175nmのシリコン）の蒸着は事例1と比較してたった半分（すなわち、56、175nm）のジャンクション $\text{Si}$ の消費をもたらし、たった半分の深さ（すなわち、56、17nm）のジャンクションをもたらす。最終的な $\text{TiSi}_2$ の厚さは $\text{Ti}$ 金属蒸着で得られる厚さに類似しているので、同じシリサイド抵抗率が認められる。これは本発明の最も重要な利点の一例、すなわち、蒸着された合金を用いて特定のジャンクション抵抗のためのもっと浅いジャンクションを得るための能力である。

#### 【0063】事例3 固定したジャンクション深さおよび減少したジャンクション抵抗に対し蒸着された $\text{TiSi}_{1x}$ 合金

蒸着されたチタンおよびシリコンの量を2倍にすることにより、事例1と同じ正味のジャンクション深度（すなわち、113、5nm）がもたらされる。しかし、最終的なシリサイドの厚さは事例1で得られる厚さの2倍であるので、シート抵抗は1/2だけ（すなわち、0、63オーム/区画）減少される。したがって、本発明はまた設計者に浅いジャンクションを損うことなくシート抵抗を選択的に減少させる柔軟性を与える。事例1において0、63オーム/sgのシート抵抗を得るには、最終的なシリコン・ジャンクションは227nm、すなわち本発明を用いて得られるものの2倍にならねばならないであろう。

【0064】以上の例はコバルトによるサリサイド（事例2に対して、 $x = \text{約} 0.75$ ）のための同様な事例と

共に次の表に要約されている。

【表1】

金属対合金の蒸着の比較例

事例	金属(M)	厚さ (nm)		蒸着された 膜のSi/H比 (3)	蒸着され た金属	蒸着された シリコン	元の ジャンクション の厚さ	消費された ジャンクション シリコン	残留 ジャンクション シリコン	サリサイド工程による ジャンクション抵抗 オーム/sq
		Si/M 比 (1)	MSi <sub>2</sub> /M 比 (2)							
I	Ti	2.27	2.37	0	50	0	227	113.5	113.5	1.26
II	Ti	2.27	2.37	1.0	50	56.75	113.5	56.75	56.75	1.26
III	Ti	2.27	2.37	1.0	100	113.5	227	113.5	113.50	0.63
I	Co	3.66	3.56	0	31	0	227	113.5	113.5	1.54
II	Co	3.66	3.56	0.75	31	42.5	142	71	71	1.54
III	Co	3.66	3.56	0.75	50	68	230	115	115	0.96

- (1) 最終的なMSi<sub>2</sub> シリサイドを形成するため必要な金属対シリコンの容積（膜厚）比
- (2) 蒸着された金属の容積（厚さ）に対する最終的なMSi<sub>2</sub> シリサイドの容積（膜厚）の比率
- (3) 本発明によるサリサイド反応をもたらす最大限のシリコンに関するMSi<sub>2</sub> の比率
- (4) サリサイドの形成のため元のジャンクションの半分以上は消費されないという実験的に決定された法則に基づく
- (5) TiSi<sub>2</sub>の抵抗率は15マイクロオームcm、CoSi<sub>2</sub>は17マイクロオームcm

【0065】本発明の概要について述べたが、本発明を実施するための以下の一般に好適な最良の態様を提供する。

#### 【0066】例1

通常のp-型シリコン基板上に通常の方法で二酸化シリコンを成長させ、次に通常の技術を用いてその上にポリシリコンを蒸着した。ポリシリコンの蒸着に続いて、フォトリソグラフィ・エッチングを通常の方法で実施してポリシリコン・ゲート電極を画定した。次にソースおよびドレイン領域を画定した。次にソースおよびドレイン領域をジャンクション深さ300nmのシリコン表面において1020 J/cm<sup>2</sup>のレーザ・プロファイル・レベルまで研磨でトリップし、次に残留二酸化シリコンを除去した。上記の処理は当技術においては一般的なものである。

【0067】上記手順の後、この中間的デバイスを10<sup>-6</sup>トルの圧力に保たれた真空蒸着炉内に導入した。電子ビーム蒸着を用いて、次の条件を用いて純粋のチタン源と純粋のシリコン源を蒸着して中間的デバイスの全表面を覆ってチタン-シリコン合金を形成した。Ti蒸着速度=2オングストローム/秒、Si蒸着速度=2.27オングストローム/秒である。合金は組成TiSi<sub>1.0</sub>を有し、TiSi<sub>1.0</sub>の厚さは106.75nm（50nm Ti + 56.75nm Si）であった。

【0068】TiSi<sub>1.0</sub>の蒸着に続いて、中間的デバイスを炉内へ導入し、その後で10容積%のH<sub>2</sub>および90容積%のN<sub>2</sub>を含む不活性ガス形成ガスを炉に通流させた。炉の温度は650℃に上昇し、その温度で30

分間熱処理を行なった。

【0069】中間的デバイスを炉から取出し、次にNH<sub>4</sub>OH、H<sub>2</sub>O<sub>2</sub>（30容積%）およびH<sub>2</sub>Oを1:1:1の割合（全ての割合は容積による）で含む75℃に加熱されたエッチング剤中でエッチングした。エッチングは上記条件で5分間行なった。さもないければ、エッチングは周囲条件において行なった。

【0070】次に中間的デバイスをエッチング浴から取出した。未反応のTiSi<sub>1.0</sub>を二酸化シリコン領域から完全に除去したが、ソースおよびドレイン領域とポリシリコン・ゲート電極を覆う反応済のTiSi<sub>2</sub>が依然として残留した。結果的なジャンクション深度は56.75nmであった。

#### 【0071】例2

コバルトおよびシリコンを蒸着して蒸着されたCoSi<sub>0.75</sub>として生成する点を除いて例1の手順に従ってなされ、熱処理は650℃であった。エッチング浴は1:1:1の割合のHCl、H<sub>2</sub>O<sub>2</sub>およびH<sub>2</sub>Oであり、75℃に加熱したものを用いた。そして、同様な結果が得られた。

#### 【0072】

【発明の効果】本発明によれば、基板のシリコンを過剰に消費する事なく、且つ自己整合的にサリサイド層を形成する事ができる。従って浅いジャンクション領域の接点形成に本発明を用いる事ができ、集積回路の高密度化が可能になる等、本発明は産業上貢献するところが大きい。

#### 【図面の簡単な説明】

12

【図1】本発明の工程を用いる集積回路のための製造体系の一連の断面図である。

【図2】本発明の工程を用いる集積回路のための製造体系の一連の断面図である。

【図3】蒸着されたチタン対蒸着された金属含有率の高いチタン・シリサイドに対する拡散されたシリサイドのシート抵抗(オーム/区画)対生成されたシリサイドの厚さ(nm)のグラフである。

【図4】蒸着されたタングステン対蒸着された金属含有率の高いタングステン・シリサイドに対する拡散された

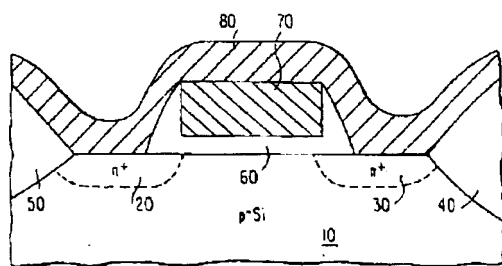
14

シリサイドのシート抵抗(オーム/区画)対消費されたジャンクション・シリコン(nm)対生成されたシリサイドの厚さ(nm)のグラフである。

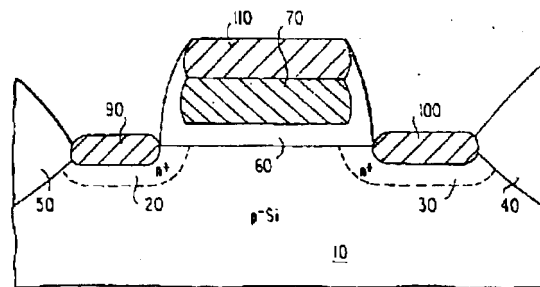
【符号の説明】

- 10 基板
- 20 ソース領域
- 30 ドレイン領域
- 40 分離領域
- 50 分離領域
- 60 SiO<sub>2</sub>領域
- 70 ポリシリコン・ゲート

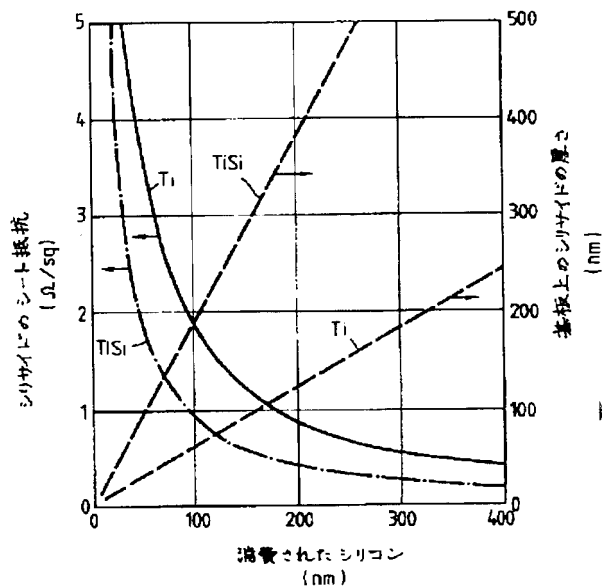
【図1】



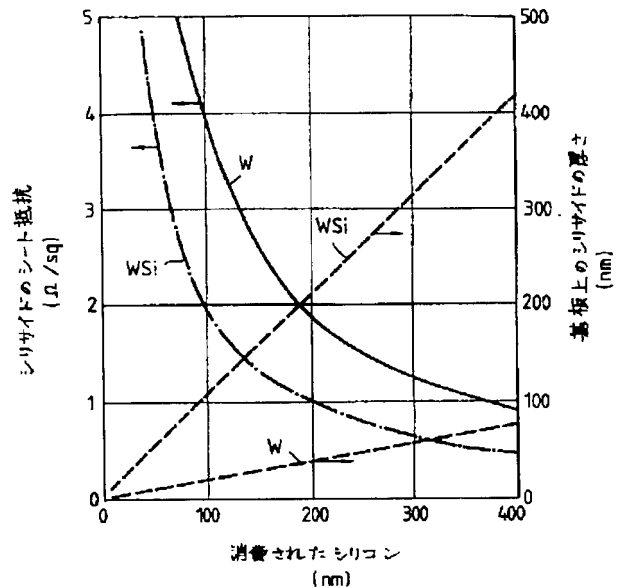
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 スタンレー・ロバーツ  
アメリカ合衆国バーモント州バーリントン、キングスランド・テラス23番地

(56)参考文献

特開 昭58-6125 (J P, A)  
特開 昭60-68612 (J P, A)  
特開 昭50-57178 (J P, A)  
特公 平7-9904 (J P, B 2)